

Docket No.: SON-2847
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kimitaka KAWASE et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: October 6, 2003

For: BIDIRECTIONAL SIGNAL TRANSMISSION
CIRCUIT

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

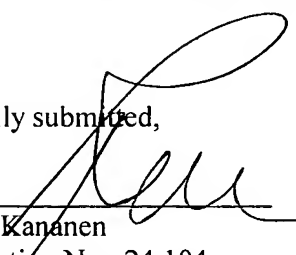
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2002-339951	November 22, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: October 6, 2003

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 2 日
Date of Application:

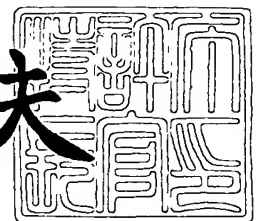
出 願 番 号 特 願 2 0 0 2 - 3 3 9 9 5 1
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 3 9 9 5 1]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 8 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290632901

【提出日】 平成14年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 川瀬 公崇

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 山本 哲郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 内野 勝秀

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 双方向信号伝送回路

【特許請求の範囲】

【請求項 1】 外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有し、

外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、

両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、

該出力端子間に介在する配線の少なくとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設けたことを特徴とする双方向信号伝送回路。

【請求項 2】 両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えたことを特徴とする請求項 1 記載の双方向信号伝送回路。

【請求項 3】 前記電位固定手段は、非選択側となった出力端子側に配されたバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ／プルダウン素子からなることを特徴とする請求項 2 記載の双方向信号伝送回路。

【請求項 4】 両側の出力端子から出ている配線が 1 つに繋がれており、前記バッファ素子が設けられている側に位置する出力端子が切換信号に応じて非選択側となるとときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えることを特徴とする請求項 1 記載の双方向信号伝送回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、画像の反転表示機能を有するアクティブマトリクス型表示装置の駆動回路などに適用可能な、双方向信号伝送回路に関する。より詳しくは、双方向信号伝送回路内で生じる飛び込みノイズの低減化技術に関する。

【 0 0 0 2 】

【従来の技術】

多結晶シリコン薄膜トランジスタなどを用いた走査駆動回路内蔵型のアクティブマトリクス表示装置は、液晶表示装置や有機EL表示装置などで代表される。液晶表示装置の場合、例えばカメラ一体型VTRや情報携帯端末などで使われているディスプレイに関しては、モニタ部を自在に回転して画像を表示するアプリケーションに対応する為、走査駆動回路に左右反転機能や上下反転機能を備えた、いわゆる双方向走査駆動回路内蔵の表示装置が使われている。又、近年表示装置の大型化に伴い、複数のパネルをつなぎ合わせて大画面を構築するアプローチが知られている。例えば四枚のパネルで一つの大画面を構成し、対角線上に位置するパネルに同一構成のものをを用いる場合は、片方を180度回転させて配置することになり、表示される画像の走査方向を統一する為、一つ一つの表示装置が双方向走査駆動回路を内蔵する必要がある。この双方向走査駆動回路の主要部を構成するのが双方向信号伝送回路であって、例えば特許文献1～特許文献7に記載がある。

【 0 0 0 3 】

【特許文献1】 特開平7-13513号公報

【特許文献2】 特開平7-146462号公報

【特許文献3】 特開平8-55493号公報

【特許文献4】 特開平8-79663号公報

【特許文献5】 特開平8-106795号公報

【特許文献6】 特開平11-176186号公報

【特許文献7】 特開平11-305742号公報

【 0 0 0 4 】

【発明が解決しようとする課題】

従来の双方向信号伝送回路は、外部から入力された信号を一端から他端に順次

伝送する動作を行うとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有する。双方向信号伝送回路は、外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能である。その際、双方向信号伝送回路の外部接続端子数を可能な限り少なくするレイアウトが採用されている。具体的には、双方向信号伝送回路の両端にそれぞれ設けた信号の入力端子間に介在する配線及び両端にそれぞれ設けた信号の出力端子間に介在する配線が、互いに平行にレイアウトされている。この様に端子数削減の為、双方向信号伝送回路の両端を結ぶ配線は、寸法が長く高抵抗である。従って、互いに平行な隣接する配線からの急激な電位変化による飛び込みノイズが生じる。このノイズにより、双方向信号伝送回路の誤動作が発生するという課題がある。

【0 0 0 5】

【課題を解決するための手段】

上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明にかかる双方向信号伝送回路は、外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有し、外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、該出力端子間に介在する配線の少くとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設けたことを特徴とする。

【0 0 0 6】

好ましくは、両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えている。例えば前記電位固定手段は、非選択側となった出力端子側に配されたバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ／プルダウン素子からなる。場合によっては、両側の出力端子から出ている配線が1つに繋がれており、前記バッファ素子が設けられている側に位置する出力端子が切換信号に応

じて非選択となるとときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えている。

【0007】

本発明によれば、双方向信号伝送回路において、動作確認用の信号を出力する比較的インピーダンスの高い配線に対してバッファを設け、これにより隣接する配線からの飛び込みノイズを低減している。更に、バッファの入力を電源ラインにプルアップ又は接地ラインにプルダウンすることで、配線のフローティング状態を論理的に無くし、双方向信号伝送回路の誤動作を回避している。

【0008】

【発明の実施の形態】

以下図面を参照して本発明に係る双方向信号伝送回路の実施の形態を詳細に説明する。まず最初に、本発明の背景を明らかにする為、図1を参照して双方向信号伝送回路を内蔵したアクティブマトリクス型表示装置の一般的な構成を簡潔に説明する。このアクティブマトリクス型表示装置は、マトリクス状に配置した画素2と、各画素2にデータ線8を介して必要な駆動電流を供給する為の水平駆動回路3と、垂直方向の書き込みタイミングを走査する為の垂直書込走査駆動回路4と、消去タイミングを走査する為の垂直消去走査駆動回路5とから構成されている。マトリクス状に配された画素2が表示部を構成し、周辺の駆動回路3, 4, 5が駆動部を構成している。表示装置1は、表示部と駆動部が同一の基板に一体的に集積形成されたパネル構造となっている。水平駆動回路3には水平方向のスタートパルスHSPとクロックパルスHCKが入力されている。垂直書込走査駆動回路4には書込走査用垂直方向のスタートパルスVSP1とクロックパルスVCKが入力されている。同じく消去走査駆動回路5には、消去走査用垂直方向のスタートパルスVSP2とクロックパルスVCKが入力される。

【0009】

図示する様に、書込走査線9が行状に配列され、データ線8が列状に配列されている。各書込走査線9とデータ線8の交差部に画素2が形成されている。又、書込走査線9と平行に、消去走査線10が形成されている。書込走査線9は垂直書込走査駆動回路4に接続されている。垂直書込走査駆動回路4はシフトレジス

タからなる信号伝送回路を含んでおり、垂直クロック V C K に同期して垂直スタートパルス V S P 1 を順次転送することにより書込走査線 9 を一走査サイクル内で順次選択する。

【 0 0 1 0 】

一方、消去走査線 1 0 は垂直消去走査駆動回路 5 に接続されている。この駆動回路 5 もシフトレジスタからなる信号伝送回路を含んでおり、V C K に同期して垂直スタートパルス V S P 2 を順次転送することにより、消去走査線 1 0 に制御信号を出力する。データ線 8 は水平駆動回路 3 に接続されており、書込走査線 9 の線順次走査に同期して、各データ線 8 は輝度情報に対応した電気信号を出力する。例えば、水平駆動回路 3 はいわゆる線順次駆動を行ない、選択された画素 2 の行に対して一斉に電気信号を供給する。これにより、画素 2 の行に輝度情報が書き込まれる。各画素 2 は書き込まれた輝度情報に応じた強度で発光を開始する。垂直消去走査駆動回路 5 は V S P 2 を受けた後、垂直クロック V C K に同期して消去走査線 1 0 を順次選択し、画素 2 の発光が走査線単位で停止していく。

【 0 0 1 1 】

図 2 は画素 2 の具体的な構成例を示す回路図である。画素 2 は、有機 E L 素子 6、電流供給線 7、データ線 8、書込走査線 9、消去走査線 1 0、書込トランジスタ 1 1、駆動トランジスタ 1 2、書込走査トランジスタ 1 3、消去走査トランジスタ 1 4、保持容量 1 5 などから構成される。書込走査トランジスタ 1 3 のゲートには、図 1 に示した垂直書込走査駆動回路によりタイミングが形成される書込走査線 9 が接続されている。又、消去走査トランジスタ 1 4 のゲートには、図 1 に示した垂直消去走査駆動回路 5 によりタイミングが形成される消去走査線 1 0 が接続されている。

【 0 0 1 2 】

前述した様に、本表示装置は、書込走査線 9 を順次選択する書込走査線駆動回路 4 と、消去走査線 1 0 を順次選択する消去走査駆動回路 5 と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線 8 に供給する水平駆動回路 3 と、各走査線 9、1 0 及び各データ線 8 の交差部に配されているとともに、駆動電流の供給を受けて発光する電流駆動型の E L 素子 6 を含む複数の画素 2 と

で構成されている。ここで図2に示した画素2は、書込走査線9が選択された時データ線8から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流をEL素子6に流す駆動部とからなる。具体的には、受入部は書込走査トランジスタ13からなる。変換部は、ゲート、ソース、ドレイン及びチャネルを備えた書込トランジスタ11と、そのゲートに接続した保持容量15とを含んでいる。書込トランジスタ11は、受入部によって取り込まれた信号電流をチャネルに流して変換された電圧レベルをゲートに発生させ、保持容量15はゲートに生じた電圧レベルを保持する。更に変換部は、書込トランジスタ11のゲートと保持容量15との間に挿入された消去走査トランジスタ14を含んでいる。このトランジスタ14は、信号電流の電流レベルを電圧レベルに変換する時には導通し、ソースを基準とする電圧レベルをトランジスタ11のゲートに生ぜしめる。更にこのトランジスタ14は、電圧レベルを保持容量15に保持する時に遮断され、書込トランジスタ11のゲートと保持容量15を切り離す。加えて、この消去走査トランジスタ14は、消去走査時に導通して、保持容量15に保持された電圧レベルを消去し、EL素子6を消灯する。更に前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動トランジスタ12を含んでいる。駆動トランジスタ12は、保持容量15に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介してEL素子6に流す。書込トランジスタ11のゲートと駆動トランジスタ12のゲートはスイッチング用のトランジスタ14を介して互いに接続されており、カレントミラー回路を構成する。これにより、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。駆動トランジスタ12は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子6に流す。

【0013】

図3は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。垂直走査駆動回路に入力されるVSP1とVSP2はVCKにより順次シフトされ、ある画素に繋がる書込走査線SC1Zと消去走査線SC2Zが図

のようなタイミングで示される。SC1ZとSC2Zが同時にH（ハイレベル）になると画素回路の書込走査トランジスタと消去走査トランジスタが同時にオンし、この書込み期間16内で書込トランジスタと駆動トランジスタの2つのカレントミラー比で決まるEL駆動電流量が書き込み電流量により制御される。EL駆動電流量は駆動トランジスタのゲートとソースの電位差により決定される。書込み期間16内で書込み電流が落ち着いたところで所望の輝度でEL素子の発光が開始される。書込みが完了するとSC1ZとSC2Zはほぼ同時にL（ローレベル）になり、書込走査トランジスタと消去走査トランジスタがオフすることにより、駆動トランジスタのゲート・ソース間電位が保持容量により保持され、所望の輝度でEL素子の発光が維持される。図3のタイミングAでSC2Zが再びH（ハイレベル）となり、再び消去走査トランジスタがオンすることにより保持容量により保持されていた電位が消去走査トランジスタと書込トランジスタを介して電流供給線の電位付近まで上昇し、駆動トランジスタのゲート・ソース間電位が閾値電圧 V_{th} 以下となり、EL素子の発光は停止する。EL素子の発光期間は図3の点灯時間17となり、タイミングAを調整することにより、ELのデューティ駆動が可能となり、R、G、BバランスやEL素子の電気的特性の設計自由度を増すことができる。

【0014】

CRTにおいては、表示画像は μsec オーダで輝度が減衰するのに対し、アクティブマトリクス型の表示装置では一フレームの間画像を表示し続ける保持型の表示原理となっている。この為、動画表示を行なう場合、動画の輪郭に沿った画素はフレームの切り換わる直前まで画像を表示しており、これが人間の目の残像効果と相まって、次のフレームでもそこに像が表示されているかの如く感知する。これが、アクティブマトリクス型表示装置における動画表示の画質がCRTに比較し低くなる根本原因である。この対策として、上述したデューティ駆動方法が効果的であり、画素を強制的に消灯して人間の目で感ずる残像を断ち切る技術を導入することで、動画質の改善を図ることができる。具体的には、アクティブマトリクス型の表示装置において、一フレームの前半で画像を表示する一方、一フレームの後半はあたかもCRT輝度が減衰するかの如くに、画像を消灯する

方法を採用できる。動画質改善の為には、フレーム当り、点灯と消灯のデューティを例えば 5 0 % 程度に設定する。更に高い動画質改善の為には、フレーム当り、点灯と消灯のデューティを 2 5 % 以下に設定するとよい。

【 0 0 1 5 】

次に、図 1 ～図 3 を用いて説明したアクティブマトリクス型の表示装置で、画像の反転表示を行なう為には、双方向信号伝送回路が必要であり、その一般的な構成を図 4 に示す。例えば、左右反転表示を行なう場合には、図 1 に示した水平駆動回路 3 に双方向信号伝送回路を使う。又上下反転表示を行なう場合には、図 1 に示した垂直走査駆動回路 4 , 5 にそれぞれ双方向信号伝送回路を使えばよい。

【 0 0 1 6 】

図 4 に示した双方向信号伝送回路 1 9 は、複数のシフトレジスタ (S R) と複数の正転路ゲート素子 L と複数の反転路ゲート素子 R とからなる。双方向信号伝送回路 1 9 には、例えば垂直方向のスタートパルス V S P が両側から入力される。又、走査回路の動作確認を行なう為の検出信号 O U T が両端から出力されている。一般にパネルへの入出力端子は極力少なくする為、V S P の信号配線と O U T の信号配線はそれぞれ双方向信号伝送回路 1 9 の片側に接続されている。

【 0 0 1 7 】

双方向信号伝送回路 1 9 は、一対の入力端子 I N 及び出力端子 O T を各々備えた複数のシフトレジスタ S R から構成されており、入出力端子間を順次接続した多段構造を有する。尚、本例では理解を容易にする為シフトレジスタ S R は第 1 段から第 5 段まで 5 個の多段接続となっている。実際の応用を図る場合にはこの段数に特に制限はない。互いに隣り合う前後シフトレジスタ S R の前段側出力端子と後段側入力端子間の接続路には逆路ゲート素子 R が介在しており、後段側出力端子と前段側入力端子間の接続路には順路ゲート素子 L が介在している。例えば、図示の多段接続において、前段側を第 1 S R とし後段側を第 2 S R とすると、第 1 S R の出力端子 O T と第 2 S R の入力端子 I N の接続路には逆路ゲート素子 R が介在している。又第 2 S R の出力端子 O T と第 1 S R の入力端子 I N 間の接続路には順路ゲート素子 L が介在している。これら逆路ゲート素子 R 及び順路

ゲート素子 L を択一的に開閉制御することにより、前段側から後段側への逆方向信号転送（図では左側から右側への信号転送）と後段側から前段側への順方向信号転送（図では右側から左側への信号転送）を切換選択可能とする。

【0018】

図 5 は、図 4 に示した双方向信号伝送回路の具体的な構成例を示す回路図である。図示を簡略化する為第 1 S R 及び第 2 S R とそれに付属する逆路ゲート素子 R 及び順路ゲート素子 L のみを示している。第 1 S R、第 2 S R 共に D 型フリップフロップから構成されており、クロック制御型の信号伝送ブロックである。D 型フリップフロップは第 1 及び第 2 のクロックトインバータと第 3 のインバータからなり、互いに逆相のクロック信号 C K 1, C K 2 に応じて動作し、入力端子 I N から入力された信号をクロック信号の半周期分だけ遅延して出力端子 O T に出力する。逆路ゲート素子 R は C M O S タイプのトランスミッションゲート素子からなり、順路ゲート素子 L も同じくトランスミッションゲート素子である。これらの逆路ゲート素子 R 及び順路ゲート素子 L は方向制御回路 2 0 から供給される互いに逆相の制御信号 C T R, C T L により制御されている。一方の制御信号 C T R がハイレベルで他方の制御信号 C T L がローレベルの時、逆路ゲート素子 R が開かれ、順路ゲート素子 L が閉じられる。従って、この時にはスタート信号 V S P は最初の逆路ゲート素子 R を通過した後第 1 S R の入力端子 I N に供給される。ここで、クロック信号の半周期分だけ遅延処理を施された後出力端子 O T から次の逆路ゲート素子 R を介して第 2 S R の入力端子 I N に転送される。この様にして、スタートパルス V S P は順次逆方向に向かって転送されていく。一方、制御信号 C T R がローレベルで制御信号 C T L がハイレベルに切り換わった時、逆路ゲート素子 R が閉じ順路ゲート素子 L が開く。この場合には順方向から転送されてきた信号が第 2 S R の入力端子 I N に供給され所定の遅延処理を施された後、出力端子 O T から順路ゲート素子 L を介して第 1 S R の入力端子 I N に転送される。再び所定の遅延処理を施された後出力端子 O T から出力された転送信号は次の順路ゲート素子 L に至る。

【0019】

図 6 は、図 1 に示した表示装置において垂直書込走査駆動回路 4 として第一の

双方向信号伝送回路 21 を用い、垂直消去走査駆動回路 5 として第 2 の双方向信号伝送回路 22 を用いた構成を表わしている。第 1 から第 5 の SR はシフトレジスタを示し、具体的には D 型フリップフロップで構成される。破線で示す書込用双方向信号伝送回路 21 の両側にスタートパルス VSP1 が入力され、検出信号 OUT1 が両側から出力される。また破線に示す消去用双方向信号伝送回路 22 の両側にスタートパルス VSP2 が入力され、検出信号 OUT2 が両側から出力される。VSP1、OUT1、VSP2、OUT2 等双方向信号伝送回路の両端を結ぶ信号線をそれぞれ vsp1、out1、vsp2、out2 で示すと、これらの信号線はできるだけ配線のクロスを避けるようにすると図に示すような配置になり、vsp1 には out1 と out2 が隣接し、out2 には vsp1 と vsp2 が隣接する。

【0020】

図 7 は図 6 に示される V 双方向走査駆動回路の動作を示すタイミングチャート図である。書込用双方向信号伝送回路に入力される vsp1 と消去用双方向信号伝送回路に入力される vsp2 は VCK により順次シフトされ、それぞれ VCK の立ち上がりまたは立ち下りのタイミングで out1、out2 として出力される。vsp1、vsp2、out1、out2 は信号伝送回路の両端を結ぶため、配線が長く高抵抗であり、隣接する配線からの急激な電圧変化による飛び込みが生じる。そのため図に示すようにそれぞれ隣接する配線の電圧変化が起きるタイミングでひげが発生する。図の B のタイミングでは vsp1 と vsp2 が同時に立ち下がり、vsp1 と vsp2 の両方に隣接する out2 は飛び込みが 2 倍になり B のタイミングで大きなひげが発生する。同様に C のタイミングでは out1 と out2 が同時に立ち下がり、out1 と out2 の両方に隣接する vsp1 は飛び込みが 2 倍になり C のタイミングで大きなひげが発生する。これらのひげが信号線の次段のゲートの閾値を越えて反転しひげが大きくなり、双方向信号伝送回路の誤動作を起したり、表示画素の書込走査トランジスタや消去走査トランジスタのゲート線に悪影響を与え、横筋を発生させる。

【0021】

以上のような課題を解決するために本発明の双方向信号伝送回路は、方向切換

信号により方向を切り換える。前記伝送回路の両側終端から回路の動作確認を行うための動作確認用端子を持つ。前記伝送回路の少なくとも一つの終端直後に配線のインピーダンスを下げるためのバッファ素子が設けられている。以下、本発明に係る伝送回路の実施形態を、図面に基づいて詳細に説明する。

【0022】

図8は、本発明に係る双方向信号伝送回路の構成を示すブロック図である。第1から第5のSRはシフトレジスタを示し、具体的には図5に示すようなD型フリップフロップで構成される。破線に示す双方向信号伝送回路23に対して、片側からスタートパルスVSPが入力され、2つのインバータを介してvspとして双方向信号伝送回路23の両側から入力される。また、確認用信号が双方向信号伝送回路の終端から出力され片側からOUT信号として出力される。ここで双方向信号伝送回路のOUT出力に遠い側の終端に、図に示すようにバッファ素子24が設けられている。双方向信号伝送回路の終端から出力される確認用信号は、OUT出力に近い側をoutlとし、OUT出力に遠い側をバッファ素子24を介してoutrとする。これらのoutlとoutrは図に示すゲート素子25に入力され、ゲート素子25の出力がOUT信号として出力される。バッファ素子24を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。

【0023】

図9は、本発明に係る双方向信号伝送回路の第1の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるdwnとxdwn信号により反転素子のオンとオフが制御される。反転素子26dの出力とoutrの間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOSトランジスタとNMOSトランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力をoutrとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をoutlとする。outrとoutlは図に示す

ゲート素子 3 0 に入力される。ゲート素子 3 0 は、具体的には図に示すように 2 入力の NAND 回路 3 0 a とインバータ 3 0 b で構成される。ゲート素子 3 0 の出力は O U T 信号として出力される。反転素子 2 6 d の出力とバッファ素子 2 8 の入力の間に図に示すようにプルアップ素子 2 9 a を設ける。プルアップ素子 2 9 a は具体的には PMOS トランジスタで構成し、PMOS トランジスタのソースを v d d に接続し、ドレインをバッファ素子 2 8 の入力に接続し、ゲートを方向制御回路 2 7 から出力される x d w n 信号に接続する。一方反転素子 2 6 c から出力される o u t 1 とゲート素子 3 0 の間に図に示すようにプルアップ素子 2 9 b を設ける。プルアップ素子 2 9 b は具体的には PMOS トランジスタで構成し、PMOS トランジスタのソースを v d d に接続し、ドレインを o u t 1 に接続し、ゲートを方向制御回路 2 7 から出力される d w n 信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向では d w n 信号がハイレベル、x d w n 信号がローレベルとなり、反転素子 2 6 b、2 6 c がオン状態となり、2 6 a、2 6 d がオフ状態となる。双方向信号伝送回路のスタートパルス V S P は 2 つのインバータを介してバッファリングされ反転素子 2 6 a がオフ状態であるから、反転素子 2 6 b を通過し、複数段のシフトレジスタを通過して反転素子 2 6 c を通過し動作確認用信号 o u t 1 としてゲート素子 3 0 に入力される。o u t 1 に接続されているプルアップ素子 2 9 b はゲートに繋がっている d w n 信号がハイレベルであるため、オフ状態となる。また、反転素子 2 6 d はオフ状態でプルアップ素子 2 9 a のゲートに繋がる x d w n 信号がローレベルであることからプルアップ素子 2 9 a はオン状態となり、バッファ素子 2 8 の入力はハイレベルに固定される。したがってバッファ素子 2 8 の出力 o u t r がハイレベルとなり、o u t r が入力されるゲート素子 3 0 は o u t 1 信号の情報が出力 O U T に反映される。一方反転方向では d w n 信号がローレベル、x d w n 信号がハイレベルとなり、反転素子 2 6 a、2 6 d がオン状態となり、2 6 b、2 6 c がオフ状態となる。双方向信号伝送回路のスタートパルス V S P は 2 つのインバータを介してバッファリングされ反転素子 2 6 b がオフ状態であるから、反転素子 2 6 a を通過し、複数段のシフトレジスタを通過して反転素子 2 6 d を通過し動作確認用信号 o u t r としてゲート素子 3 0 に入力される。バッファ素子 2

8の入力信号に接続されているプルアップ素子29aはゲートに繋がっているx d w n信号がハイレベルであるため、オフ状態となる。また、反転素子26cはオフ状態でプルアップ素子29bのゲートに繋がるd w n信号がローレベルであることからプルアップ素子29bはオン状態となり、o u t lがハイレベルとなり、ゲート素子30はo u t r信号の情報が出力O U Tに反映される。反転方向では、バッファ素子28を設けることによりo u t rはローインピーダンスとなり、隣接するv s p信号からの飛び込みの影響を受けにくい。

【0024】

図10は、本発明に係る双方向信号伝送回路の第2の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるd w nとx d w n信号により反転素子のオンとオフが制御される。反転素子26dの出力とo u t rの間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、P M O SトランジスタとN M O Sトランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力をo u t rとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をo u t lとする。o u t rとo u t lは図に示すゲート素子32に入力される。ゲート素子32は、具体的には図に示すように2入力のN O R回路32aとインバータ32bで構成される。ゲート素子32の出力はO U T信号として出力される。反転素子26dの出力とバッファ素子28の入力の間に図に示すようにプルダウン素子31aを設ける。プルダウン素子31aは具体的にはN M O Sトランジスタで構成し、N M O Sトランジスタのソースをv s sに接続し、ドレインをバッファ素子28の入力に接続し、ゲートを方向制御回路27から出力されるd w n信号に接続する。一方反転素子26cから出力されるo u t lとゲート素子32の間に図に示すようにプルダウン素子31bを設ける。プルダウン素子31bは具体的にはN M O Sトランジスタで構成し、N M O Sトランジスタのソースをv s sに接続し、ドレインをo u t lに接続し、ゲートを方向制御回路27から出力されるx d w n信号に接続する。今、双

方向の方向を矢印のように正転と反転とする。正転方向では dwn 信号がハイレベル、 $x\ dwn$ 信号がローレベルとなり、反転素子 2 6 b、2 6 c がオン状態となり、2 6 a、2 6 d がオフ状態となる。双方向信号伝送回路のスタートパルス VSP は 2 つのインバータを介してバッファリングされ反転素子 2 6 a がオフ状態であるから、反転素子 2 6 b を通過し、複数段のシフトレジスタを通過して反転素子 2 6 c を通過し動作確認用信号 $out\ 1$ としてゲート素子 3 2 に入力される。 $out\ 1$ に接続されているプルダウン素子 3 1 b はゲートに繋がっている $x\ dwn$ 信号がローレベルであるため、オフ状態となる。また、反転素子 2 6 d はオフ状態でプルダウン素子 3 1 a のゲートに繋がる dwn 信号がハイレベルであることからプルダウン素子 3 1 a はオン状態となり、バッファ素子 2 8 の入力 はローレベルに固定される。したがってバッファ素子 2 8 の出力 $out\ r$ がローレベルとなり、 $out\ r$ が入力されるゲート素子 3 2 は $out\ 1$ 信号の情報が出力 OUT に反映される。一方反転方向では dwn 信号がローレベル、 $x\ dwn$ 信号がハイレベルとなり、反転素子 2 6 a、2 6 d がオン状態となり、2 6 b、2 6 c がオフ状態となる。双方向信号伝送回路のスタートパルス VSP は 2 つのインバータを介してバッファリングされ反転素子 2 6 b がオフ状態であるから、反転素子 2 6 a を通過し、複数段のシフトレジスタを通過して反転素子 2 6 d を通過し動作確認用信号 $out\ r$ としてゲート素子 3 2 に入力される。バッファ素子 2 8 の入力信号に接続されているプルダウン素子 3 1 a はゲートに繋がっている dwn 信号がローレベルであるため、オフ状態となる。また、反転素子 2 6 c はオフ状態でプルダウン素子 3 1 b のゲートに繋がる $x\ dwn$ 信号がハイレベルであることからプルダウン素子 3 1 b はオン状態となり、 $out\ 1$ がローレベルとなり、ゲート素子 3 2 は $out\ r$ 信号の情報が出力 OUT に反映される。反転方向では、バッファ素子 2 8 を設けることにより $out\ r$ はローインピーダンスとなり、隣接する $v\ s\ p$ 信号からの飛び込みの影響を受けにくい。

【0 0 2 5】

図 1 1 は、本発明に係る双方向信号伝送回路の第 3 の実施例を示す回路図であって、図 8 のブロック図の破線部分 A の具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子 2 6 が設けられており、方向

制御回路 27 から出力される dwn と $x\,dwn$ 信号により反転素子のオンとオフが制御される。反転素子 26d の出力と $out\,r$ の間に図に示すようにバッファ素子 28 が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOS トランジスタと NMOS トランジスタで構成されるインバータを 2 つ直列に接続して構成される。バッファ素子 28 の出力を $out\,r$ とし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子 26c の出力を $out\,l$ とする。 $out\,r$ と $out\,l$ は図に示すゲート素子 34 に入力される。ゲート素子 34 は、具体的には図に示すように 2 入力の NAND 回路 34a とインバータ 34b で構成される。ゲート素子 34 の出力は OUT 信号として出力される。バッファ素子 28 を構成する NMOS トランジスタのソースを方向制御回路から出力される dwn 信号に繋げる。一方反転素子 26c から出力される $out\,l$ とゲート素子 34 の間に図に示すようにプルアップ素子 33 を設ける。プルアップ素子 33 は具体的には PMOS トランジスタで構成し、PMOS トランジスタのソースを $v\,d\,d$ に接続し、ドレインを $out\,l$ に接続し、ゲートを方向制御回路 27 から出力される dwn 信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向では dwn 信号がハイレベル、 $x\,dwn$ 信号がローレベルとなり、反転素子 26b、26c がオン状態となり、26a、26d がオフ状態となる。双方向信号伝送回路のスタートパルス $V\,S\,P$ は 2 つのインバータを介してバッファリングされ反転素子 26a がオフ状態であるから、反転素子 26b を通過し、複数段のシフトレジスタを通過して反転素子 26c を通過し動作確認用信号 $out\,l$ としてゲート素子 34 に入力される。 $out\,l$ に接続されているプルアップ素子 33 はゲートに繋がっている dwn 信号がハイレベルであるため、オフ状態となる。また、反転素子 26d はオフ状態でバッファ素子 28 を構成する NMOS トランジスタのソースに繋がる dwn 信号がハイレベルとなるため、バッファ素子 28 の出力 $out\,r$ がハイレベルとなり、 $out\,r$ が入力されるゲート素子 34 は $out\,l$ 信号の情報が出力 OUT に反映される。一方反転方向では dwn 信号がローレベル、 $x\,dwn$ 信号がハイレベルとなり、反転素子 26a、26d がオン状態となり、26b、26c がオフ状態となる。双方向信号伝送回路のスタートパルス $V\,S\,P$ は 2 つ

のインバータを介してバッファリングされ反転素子 26 b がオフ状態であるから、反転素子 26 a を通過し、複数段のシフトレジスタを通過して反転素子 26 d を通過し動作確認用信号 `out r` としてゲート素子 34 に入力される。反転素子 26 c はオフ状態でプルアップ素子 33 のゲートに繋がる `dwn` 信号がローレベルであることからプルアップ素子 33 はオン状態となり、`out l` がハイレベルとなり、ゲート素子 34 は `out r` 信号の情報が出力 `OUT` に反映される。反転方向では、バッファ素子 28 を設けることにより `out r` はローインピーダンスとなり、隣接する `vss` 信号からの飛び込みの影響を受けにくい。

【0026】

図 12 は、本発明に係る双方向信号伝送回路の第 4 の実施例を示す回路図であって、図 8 のブロック図の破線部分 A の具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子 26 が設けられており、方向制御回路 27 から出力される `dwn` と `x dwn` 信号により反転素子のオンとオフが制御される。反転素子 26 d の出力と `out r` の間に図に示すようにバッファ素子 28 が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOS トランジスタと NMOS トランジスタで構成されるインバータを 2 つ直列に接続して構成される。バッファ素子 28 の出力を `out r` とし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子 26 c の出力を `out l` とする。`out r` と `out l` は図に示すゲート素子 36 に入力される。ゲート素子 36 は、具体的には図に示すように 2 入力の NOR 回路 36 a とインバータ 36 b で構成される。ゲート素子 36 の出力は `OUT` 信号として出力される。バッファ素子 28 を構成する PMOS トランジスタのソースを方向制御回路から出力される `x dwn` 信号に繋げる。一方反転素子 26 c から出力される `out l` とゲート素子 36 の間に図に示すようにプルダウン素子 35 を設ける。プルダウン素子 35 は具体的には NMOS トランジスタで構成し、NMOS トランジスタのソースを `vss` に接続し、ドレインを `out l` に接続し、ゲートを方向制御回路 27 から出力される `x dwn` 信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向では `dwn` 信号がハイレベル、`x dwn` 信号がローレベルとなり、反転素子 26 b、26 c

がオン状態となり、26a、26dがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号out1としてゲート素子36に入力される。out1に接続されているプルダウン素子35はゲートに繋がっているxdwn信号がローレベルであるため、オフ状態となる。また、反転素子26dはオフ状態でバッファ素子28を構成するPMOSトランジスタのソースに繋がるxdwn信号がローレベルとなるため、バッファ素子28の出力outrがローレベルとなり、outrが入力されるゲート素子36はout1信号の情報が出力OUTに反映される。一方反転方向ではdwn信号がローレベル、xdwn信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過し動作確認用信号outrとしてゲート素子36に入力される。反転素子26cはオフ状態でプルダウン素子35のゲートに繋がるxdwn信号がハイレベルであることからプルダウン素子35はオン状態となり、out1がローレベルとなり、ゲート素子36はoutr信号の情報が出力OUTに反映される。反転方向では、バッファ素子28を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。

【0027】

この様に本発明では、両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えている。例えば前記電位固定手段は、非選択側となった出力端子側に配されたバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ／プルダウン素子からなる。本発明によれば、双方向信号伝送回路において、動作確認用の信号を出力する比較的インピーダンスの高い配線に対してバッファを設け、こ

れにより隣接する配線からの飛び込みノイズを低減している。更に、バッファの入力を電源ラインにプルアップ又は接地ラインにプルダウンすることで、配線のフローティング状態を論理的に無くし、双方向信号伝送回路の誤動作を回避している。

【0028】

図13は、本発明に係る双方向信号伝送回路の第5の実施例を示すブロック図である。第1から第5のSRはシフトレジスタを示し、具体的には図5に示すようなD型フリップフロップで構成される。破線に示す双方向信号伝送回路23に対して、片側からスタートパルスVSPが入力され、2つのインバータを介してvspとして双方向信号伝送回路23の両側から入力される。また、確認用信号が双方向信号伝送回路の終端から出力され片側からOUT信号として出力される。ここで双方向信号伝送回路のOUT出力に遠い側の終端に、図に示すようにバッファ素子24が設けられている。バッファ素子は具体的にPMOSトランジスタとNMOSトランジスタで構成されるインバータを2つ直列に接続して構成される。双方向信号伝送回路の終端から出力される確認用信号は、OUT出力に近い側をoutlとし、OUT出力に遠い側をバッファ素子24を介してoutrとする。outrの方には図に示すようにOUT出力に近い側に反転路ゲート素子37を設ける。このoutrは反転路ゲート素子37を介してoutlと繋がりOUT信号として出力される。双方向の方向を矢印のように正転と反転とすると、反転時にはバッファ素子24を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。また、正転時には反転路ゲート素子37によりoutrから反転路ゲート素子の出力はハイインピーダンスとなり、outlの信号がOUT出力として取り出される。この様に本例では、両側の出力端子から出ている配線が1つに繋がれており、バッファ素子が設けられている側に位置する出力端子が切換信号に応じて非選択となるときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えている。

【0029】

図14は、本発明に係る双方向信号伝送回路の第6の実施例を示す回路図であ

る。双方向信号伝送回路の終端に図に示すように反転素子 2 6 が設けられており、方向制御回路 2 7 から出力される dwn と $x\,dwn$ 信号により反転素子のオンとオフが制御される。反転素子 2 6 d の出力と $out\,r$ の間に図に示すようにバッファ回路 3 8 が設けられ、これに含まれる各回路素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOS トランジスタと NMOS トランジスタで構成されるインバータと 2 つのトランジスタのそれぞれのゲートにこれらのトランジスタを駆動するためのインバータを設けて構成される。バッファ回路 3 8 の出力を $out\,r$ とし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子 2 6 c の出力を $out\,l$ とする。 $out\,r$ と $out\,l$ は図に示すように直接繋がっており 2 つのインバータを介して OUT 信号として出力される。バッファ回路 3 8 と反転素子 2 6 d から出力される信号の間にハイインピーダンス状態形成回路 3 9 を挿入する。この回路は具体的には図に示すように 1 つの NAND 回路と 1 つの NOR 回路と 2 つのインバータで構成される。また NAND 回路と NOR 回路の一方の入力は dwn 信号と繋がっており、もう一方の入力は反転素子 2 6 d の出力信号が繋がっている。今、双方向の方向を矢印のように正転と反転とする。正転方向では dwn 信号がハイレベル、 $x\,dwn$ 信号がローレベルとなり、反転素子 2 6 b、2 6 c がオン状態となり、2 6 a、2 6 d がオフ状態となる。双方向信号伝送回路のスタートパルス VSP は 2 つのインバータを介してバッファリングされ反転素子 2 6 a がオフ状態であるから、反転素子 2 6 b を通過し、複数段のシフトレジスタを通過して反転素子 2 6 c を通過し動作確認用信号 $out\,l$ として 2 つのインバータに入力される。 $out\,l$ に接続されているバッファ回路 3 8 は前段のハイインピーダンス状態形成回路 3 9 の NAND 回路と NOR 回路に入力される dwn 信号により、バッファ回路 3 8 の後段インバータを形成する 2 つのトランジスタが両方ともオフ状態となり出力がハイインピーダンスとなる。よって、 $out\,r$ 信号がハイインピーダンスとなるため、 $out\,l$ の信号がそのまま 2 つのインバータによりバッファリングされて OUT 信号に反映される。一方反転方向では dwn 信号がローレベル、 $x\,dwn$ 信号がハイレベルとなり、反転素子 2 6 a、2 6 d がオン状態となり、2 6 b、2 6 c がオフ状態となる。双方向信号伝送回路のスタートパルス VSP

は2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過する。ハイインピーダンス状態形成回路39のNAND回路とNOR回路の入力であるdwn信号がローレベルであるため反転素子26dの出力がそのままNAND回路とNOR回路に反映され、後段のバッファ回路38によりローインピーダンスとなりoutlと繋がる。また反転素子26cはオフであるため、outl信号はハイインピーダンスとなり、ローインピーダンスであるoutrが2つのインバータを介してバッファリングされてOUT信号に反映される。反転方向では、バッファ回路38を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。

【0030】

【発明の効果】

以上説明したように本発明の双方向信号伝送回路によれば、双方向信号伝送回路の終端から出力される動作確認用信号にバッファ素子を設けローインピーダンスにし、さらに非選択時のバッファ素子の出力をプルアップ用またはプルダウン用の素子によりハイレベルまたはローレベルに固定する等で電位を固定することにより、隣接信号からの同時立ち上がり或いは立ち下りによる飛び込みノイズを低減することができ、シフトレジスタの誤動作を回避することができる。また、飛び込みにより発生する表示部への走査線に発生するひげを除去することにより、表示装置の横筋を除去することができる。

【図面の簡単な説明】

【図1】

従来のアクティブマトリクス型有機EL表示装置の一例を示すブロック図である。

【図2】

従来のアクティブマトリクス型有機EL表示装置を構成する画素回路の一例である。

【図3】

従来のアクティブマトリクス型有機EL表示装置の動作を説明するタイミング

チャート図である。

【図 4】

従来の双方向信号伝送回路の一例を示すブロック図である。

【図 5】

図 4 に示した双方向信号伝送回路の構成例を示す回路図である。

【図 6】

図 4 に示した従来の双方向信号伝送回路をアクティブマトリクス型有機 EL 表示装置に適用した場合の構成図である。

【図 7】

図 6 に示した構成図による動作タイミングチャート図である。

【図 8】

本発明に係る双方向信号伝送回路の構成を示すブロック図である。

【図 9】

本発明に係る双方向信号伝送回路の第一実施形態を示す具体的な回路図の一例である。

【図 10】

本発明に係る双方向信号伝送回路の第二実施形態を示す具体的な回路図の一例である。

【図 11】

本発明に係る双方向信号伝送回路の第三実施形態を示す具体的な回路図の一例である。

【図 12】

本発明に係る双方向信号伝送回路の第四実施形態を示す具体的な回路図の一例である。

【図 13】

本発明に係る双方向信号伝送回路の第五実施形態を示すブロック図の一例である。

【図 14】

本発明に係る双方向信号伝送回路の第六実施形態を示す具体的な回路図の一例

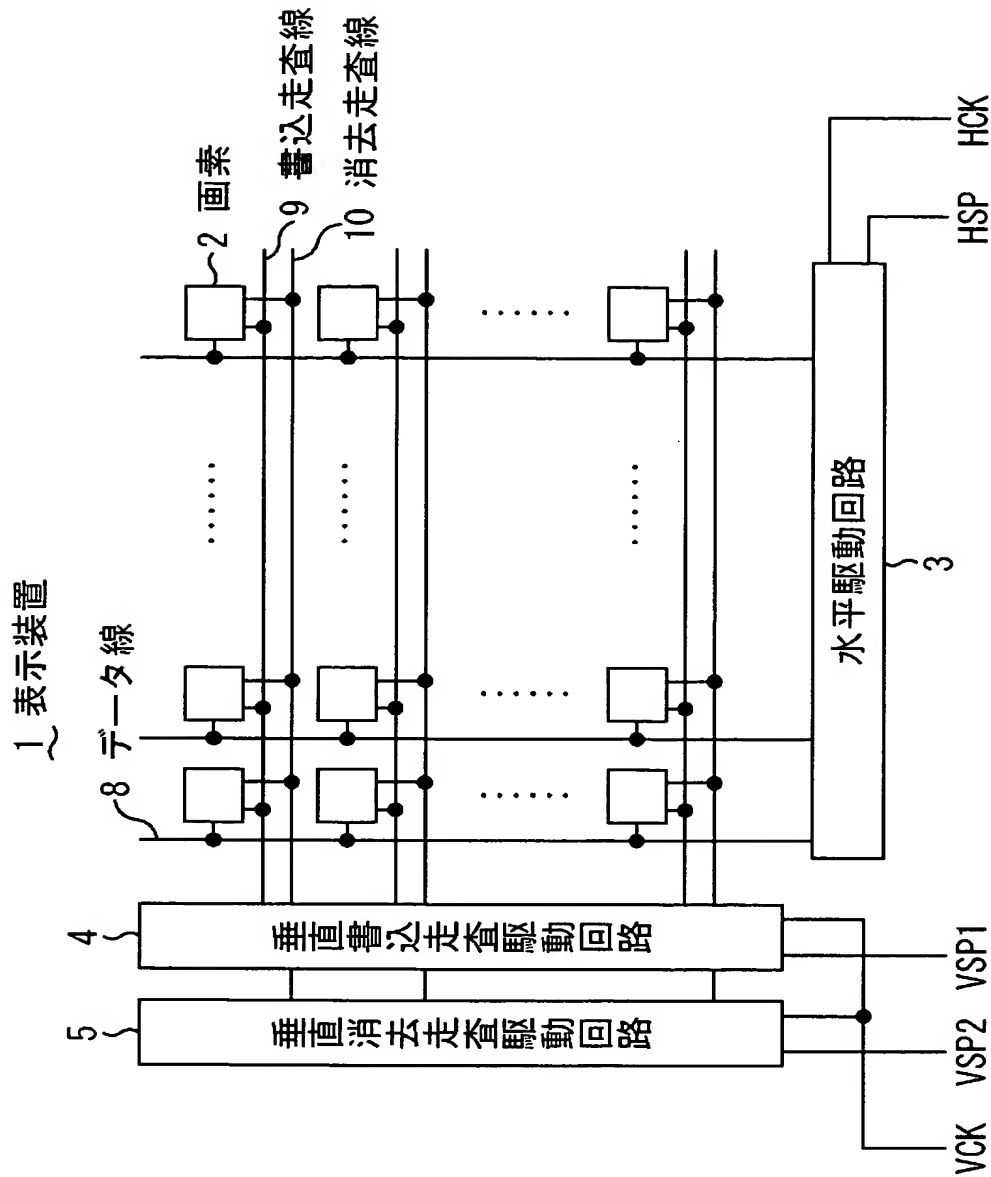
である。

【符号の説明】

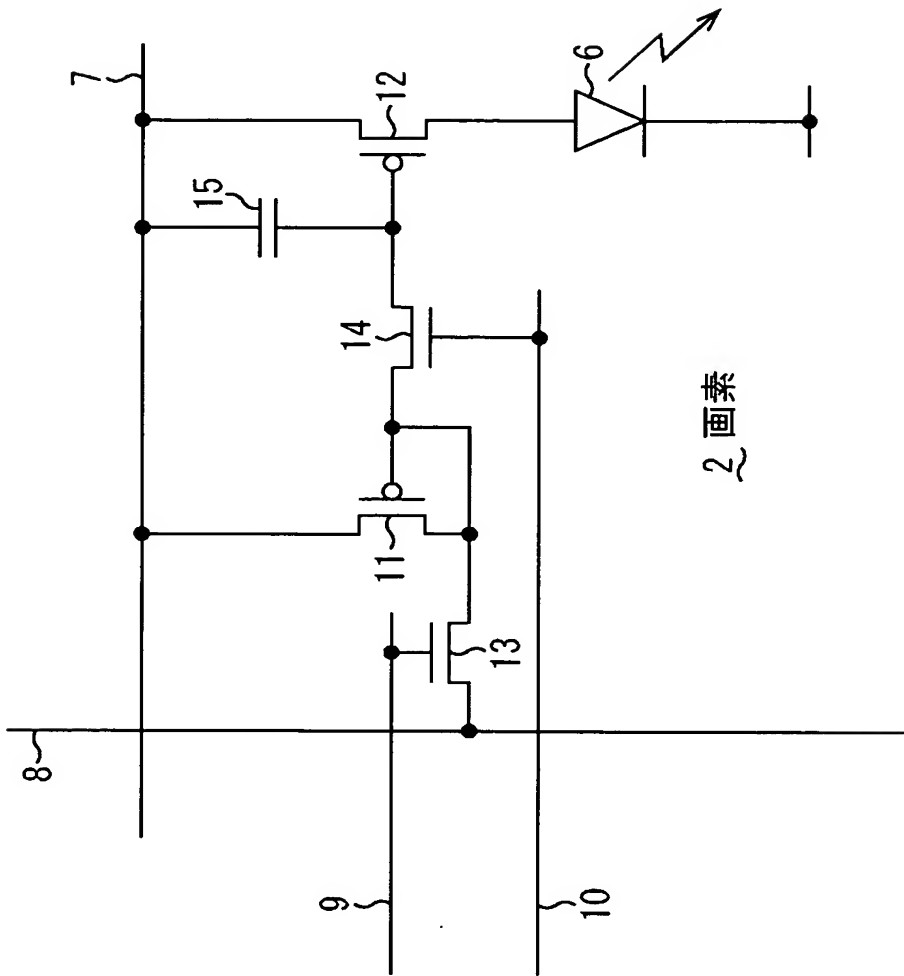
1 . . . 表示装置、2 . . . 画素、3 . . . 水平駆動回路、4 . . . 垂直書込走査駆動回路、5 . . . 垂直消去走査駆動回路、8 . . . データ線、9 . . . 書込走査線、1 0 . . . 消去走査線、1 9 . . . 双方向信号伝送回路、2 0 . . . 方向制御回路回路、2 1 . . . 双方向信号伝送回路、2 2 . . . 双方向信号伝送回路、2 3 . . . 双方向信号伝送回路、2 4 . . . バッファ素子、2 5 . . . ゲート素子、2 6 . . . 反転素子、2 7 . . . 方向制御回路回路、2 8 . . . バッファ素子、2 9 . . . プルアップ素子、3 0 . . . ゲート素子、3 1 . . . プルダウン素子、3 2 . . . ゲート素子、3 3 . . . プルアップ素子、3 4 . . . ゲート素子、3 5 . . . プルダウン素子、3 6 . . . ゲート素子、3 9 . . . ハイインピーダンス状態形成回路

【書類名】 図面

【図 1】

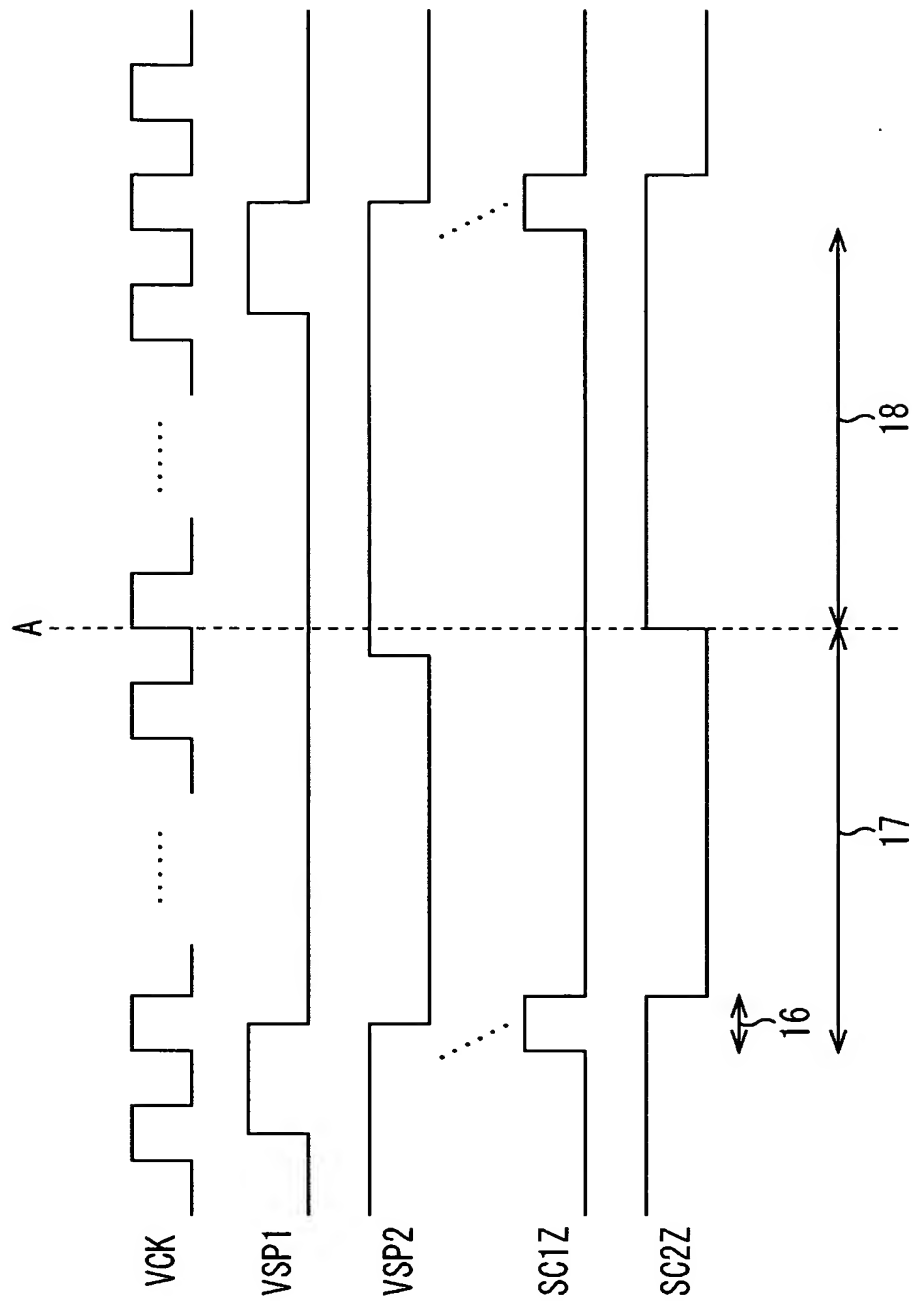


【図 2】

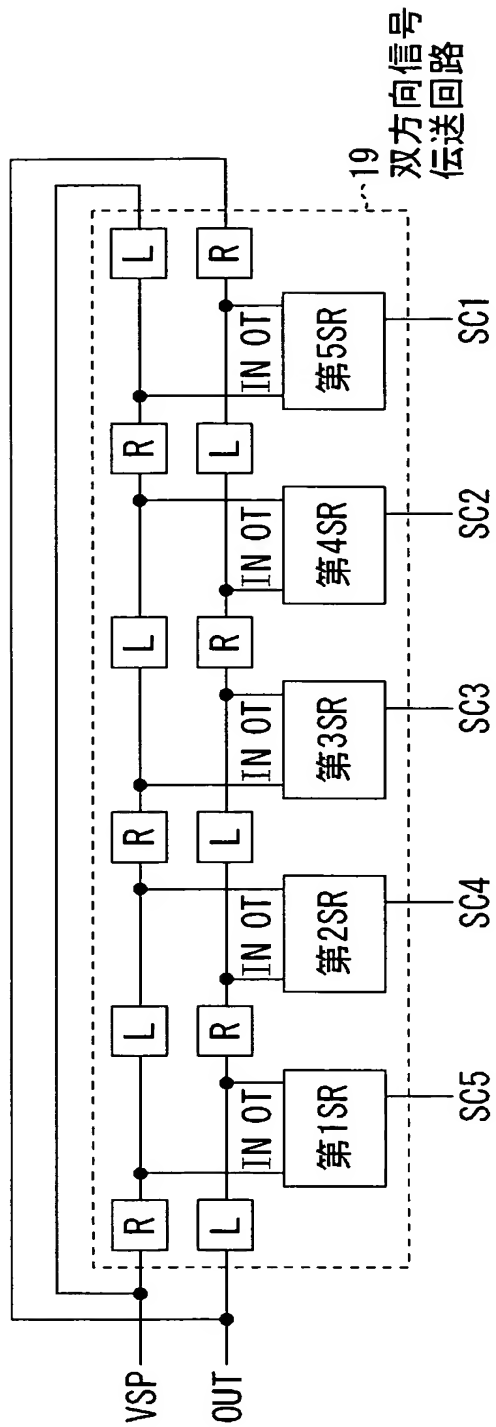


2 面素

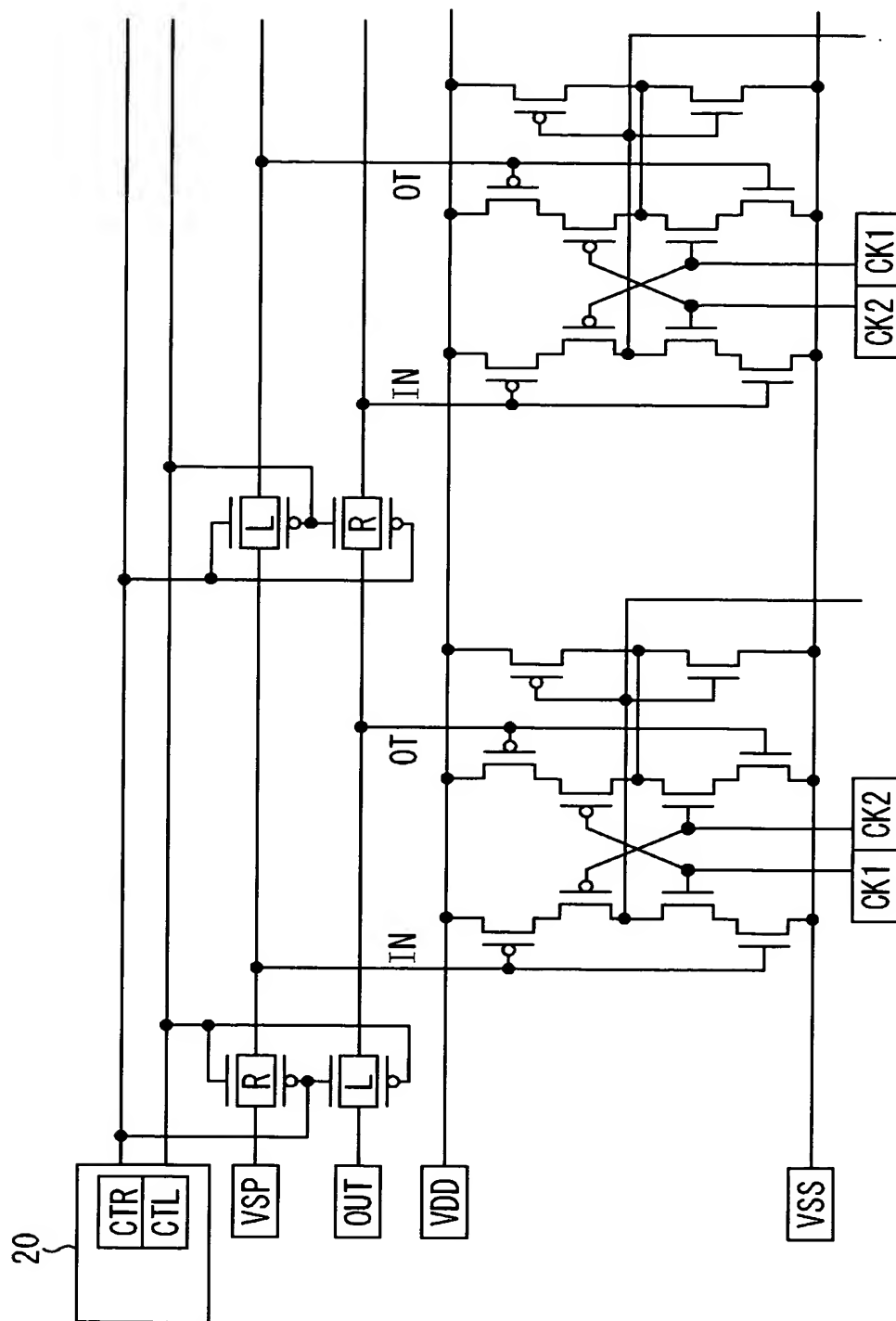
【図 3】



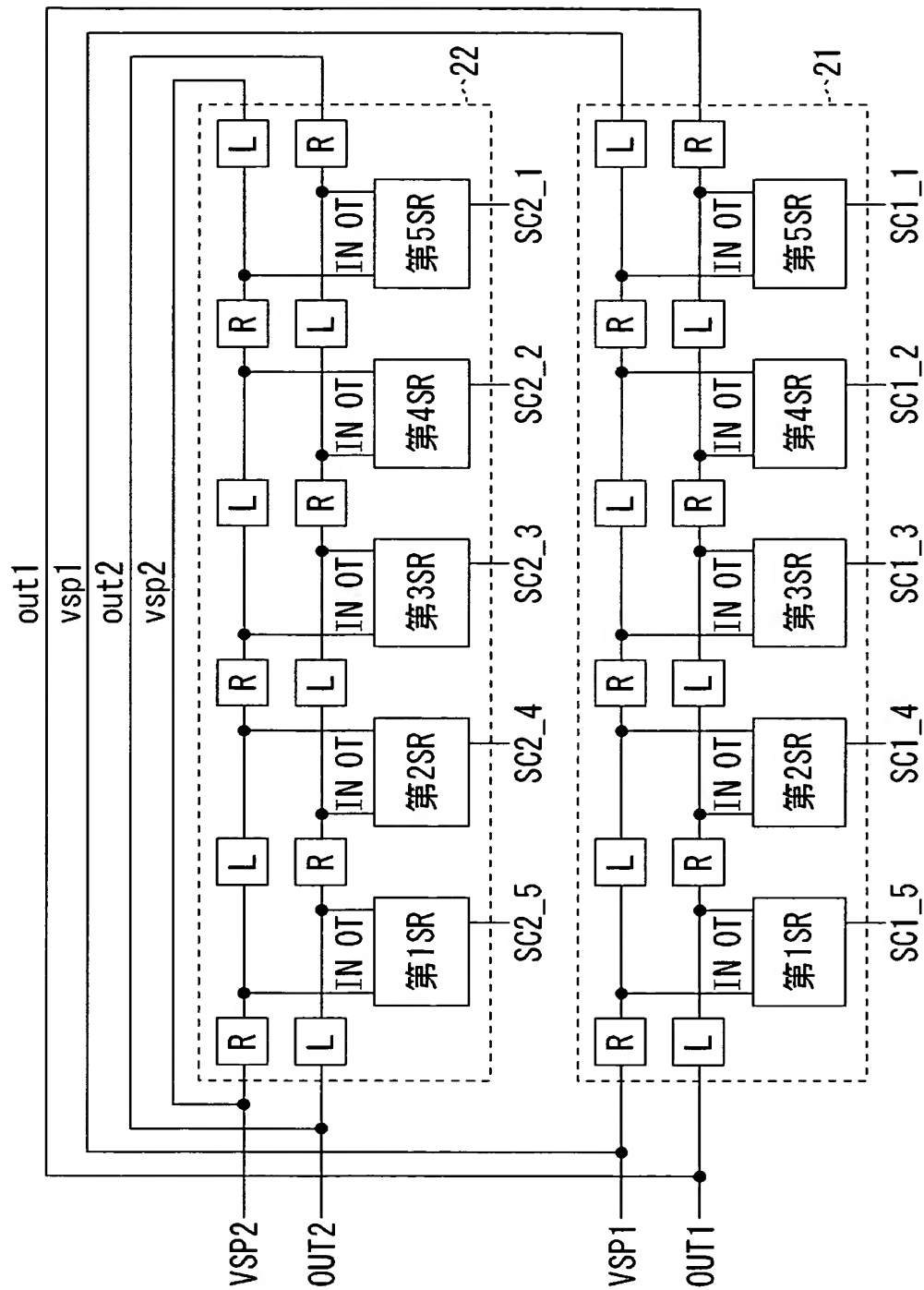
【図 4】



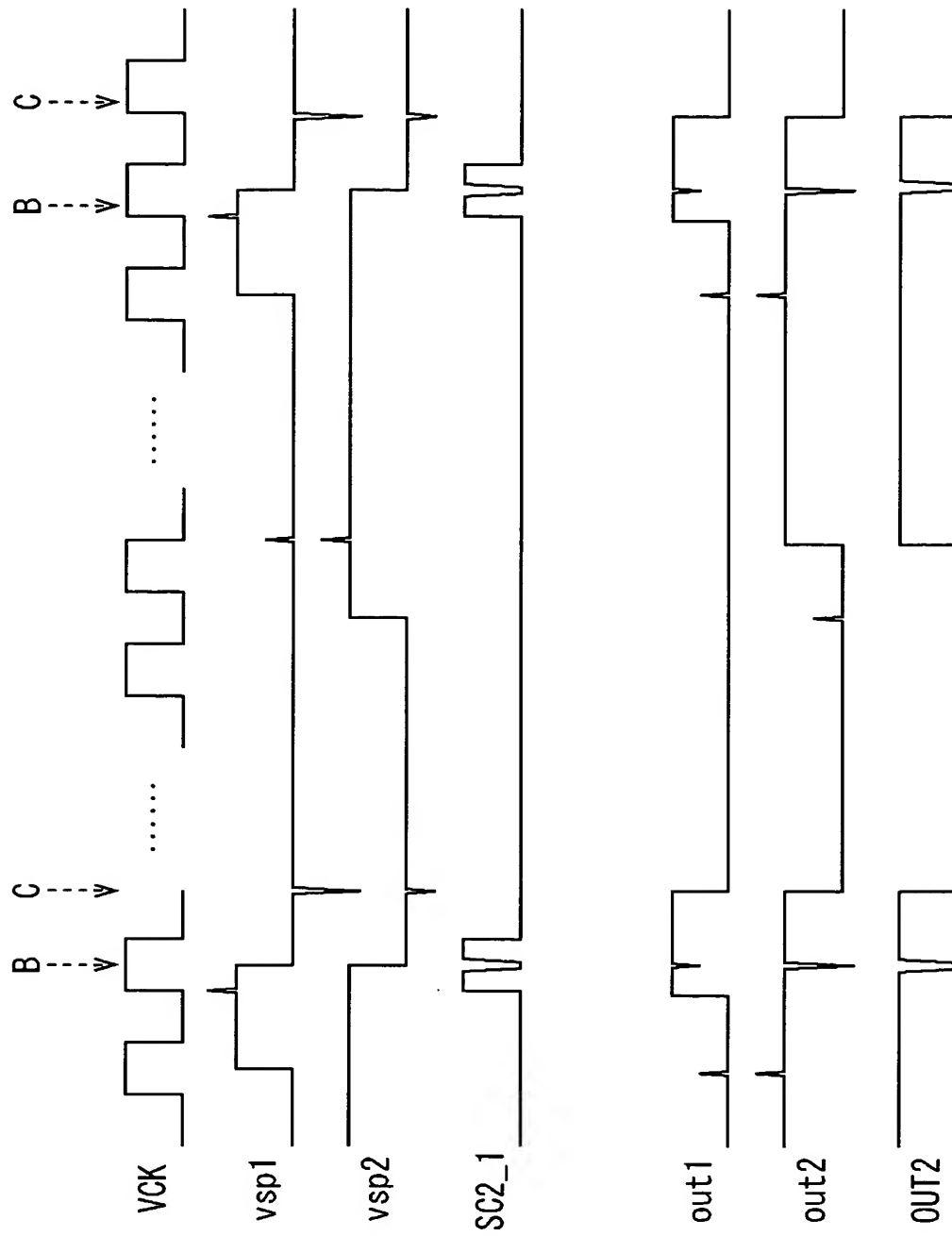
【図 5】



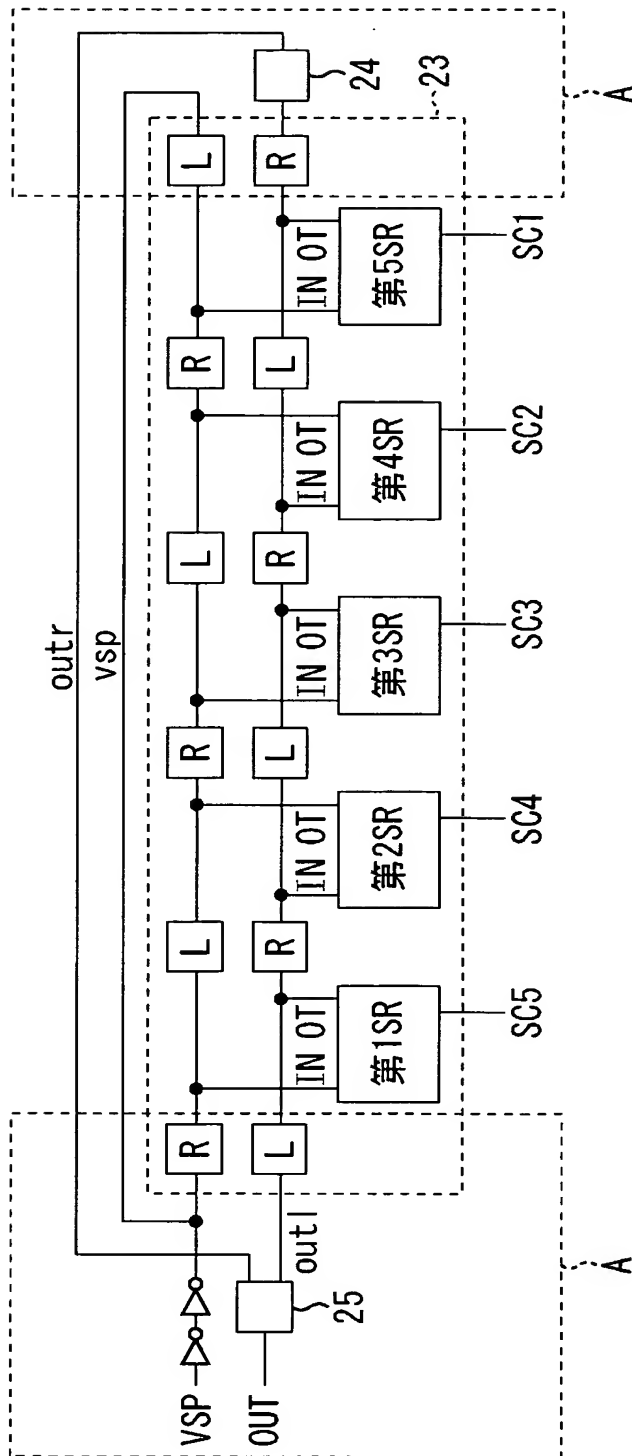
【図 6】



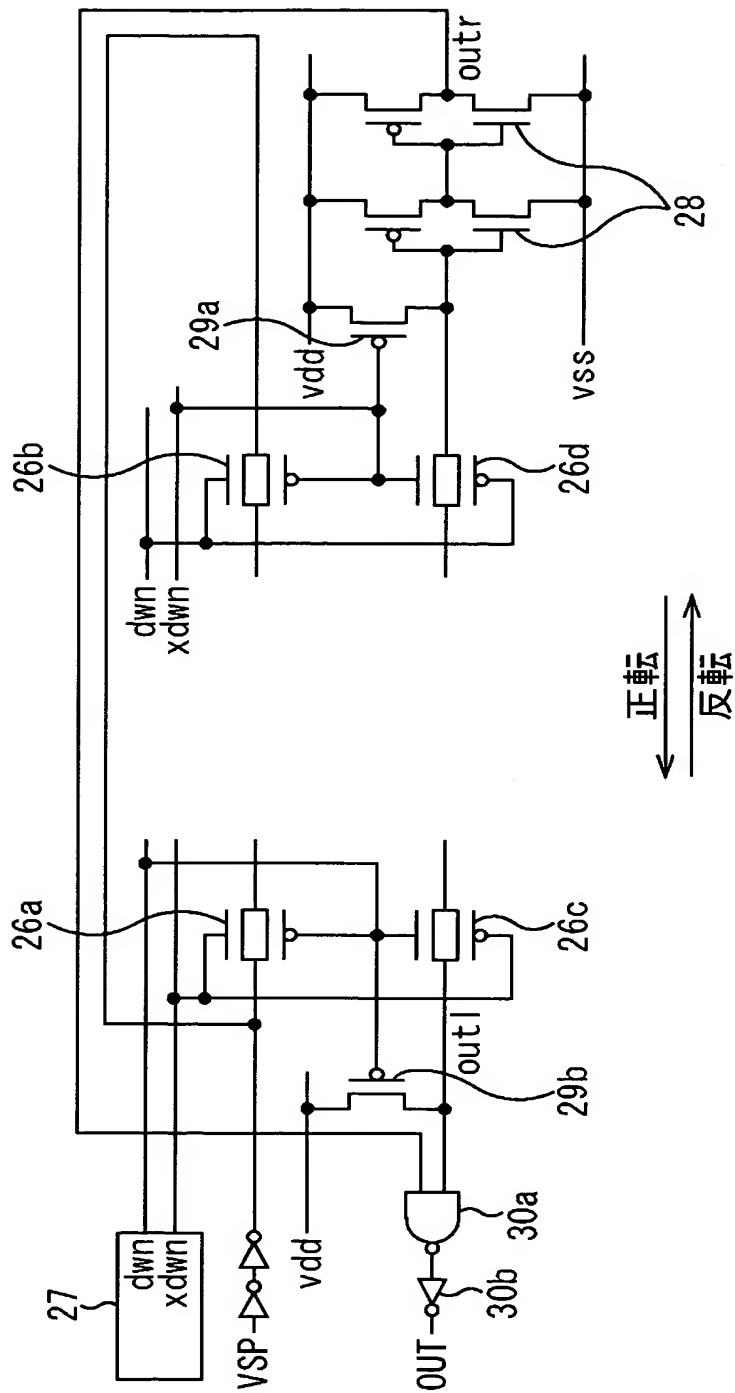
【図 7】



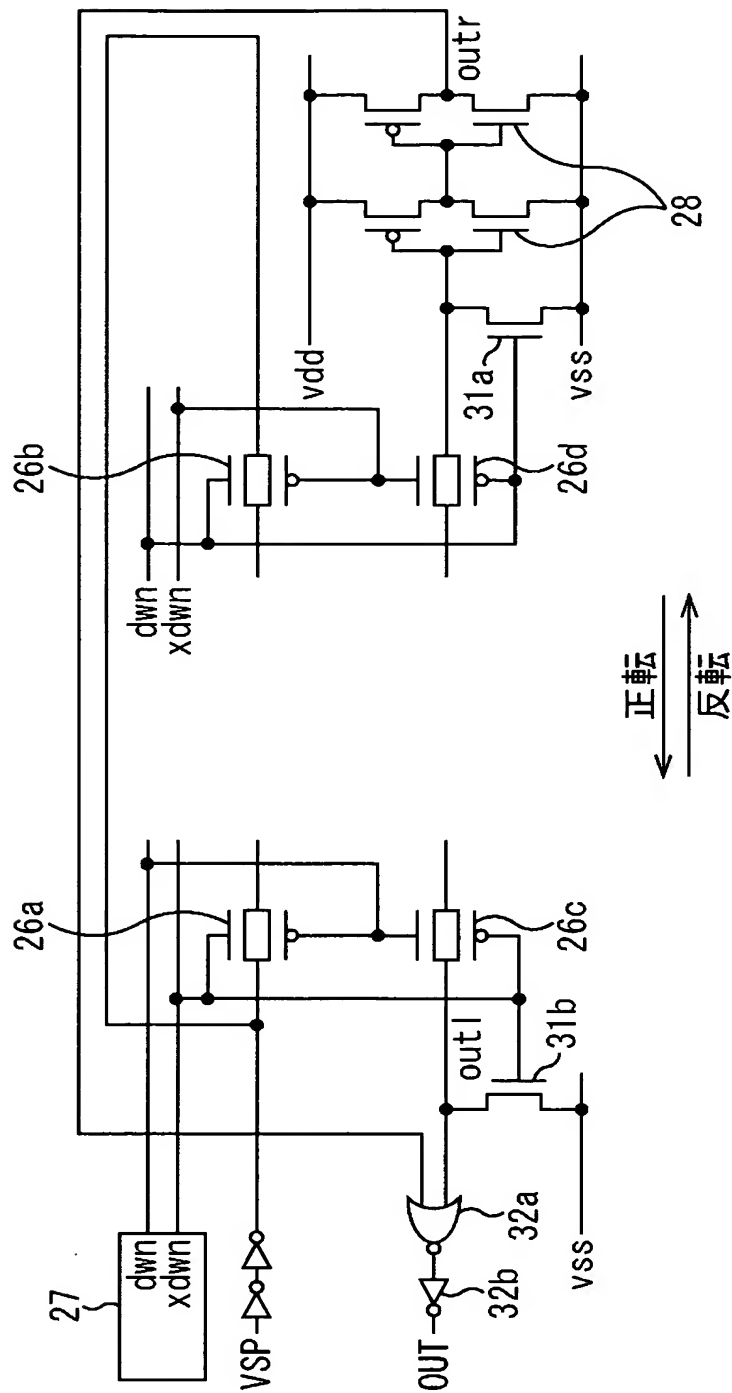
【図 8】

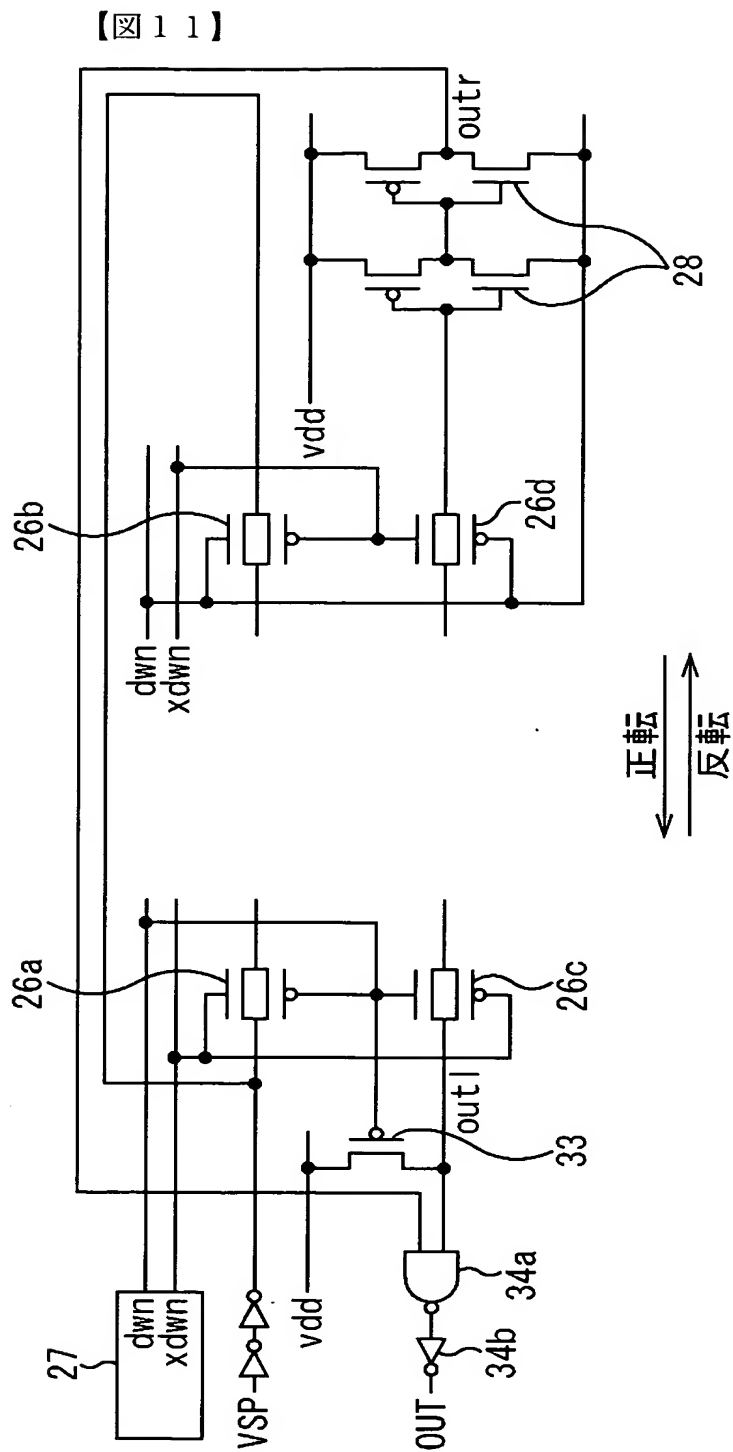


【図 9】

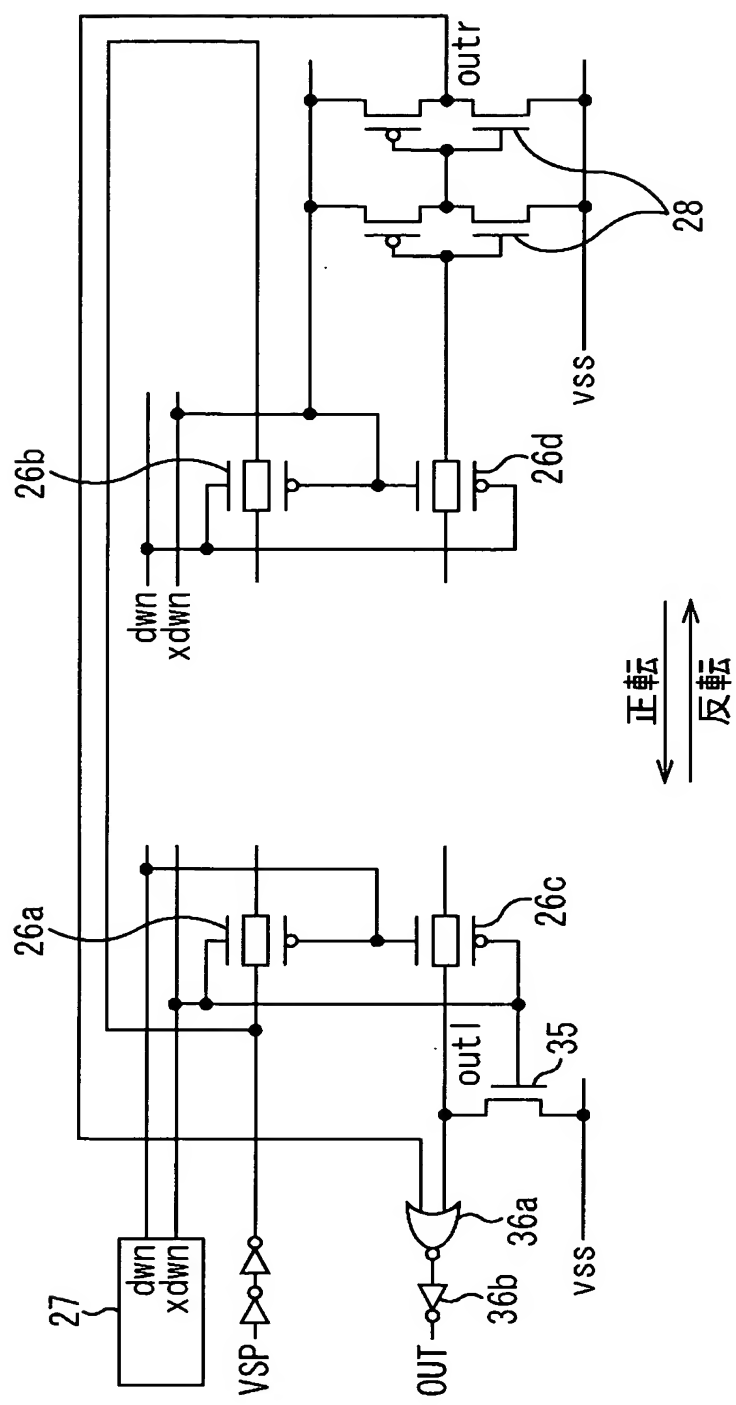


【図 10】



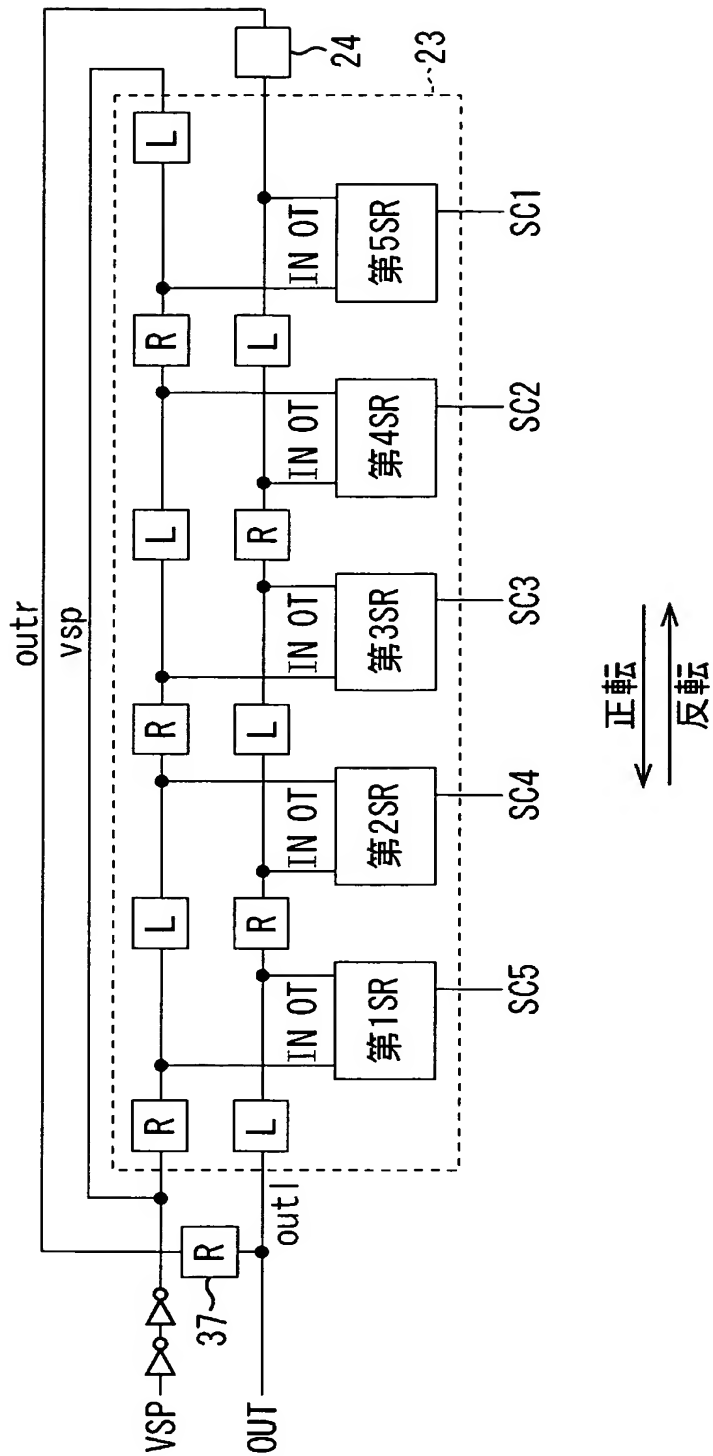


【図 12】



正転
反転

【図 13】



【書類名】 要約書

【要約】

【課題】 表示装置などに組み込まれる双方向信号伝送回路において、隣接する配線の電位変化によるノイズの飛込みを抑制する。

【解決手段】 双方向信号伝送回路 2 3 は、外部から入力された信号 V S P を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に伝送された信号 O U T を出力する機能を有し、外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、両端にそれぞれ設けた信号 V S P の入力端子間に介在する配線及び両端にそれぞれ設けた信号 O U T の出力端子間に介在する配線が互いに平行に配されており、出力端子間に介在する配線の少くとも片側終端に配線のインピーダンスを下げる為のバッファ素子 2 4 を設ける。

【選択図】 図 8

特願 2 0 0 2 - 3 3 9 9 5 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社